

BEST AVAILABLE COPY

0418057
PCT/JP 2004/009885

日 本 国 特 許 庁
JAPAN PATENT OFFICE

05.7.2004

REC'D 22 JUL 2004

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 7月 4日

出 願 番 号
Application Number: 特願2003-192396
[ST. 10/C]: [JP 2003-192396]

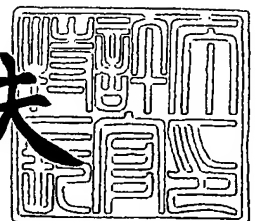
出 願 人
Applicant(s): ソニー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3038132

【書類名】 特許願

【整理番号】 0290852904

【提出日】 平成15年 7月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 時任 俊作

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置、および半導体記憶装置の読み出し方法

【特許請求の範囲】

【請求項 1】

ワード線および一对の第 1 のビット線に接続された第 1 のメモリセルと、
ワード線および一对の第 2 のビット線に接続された第 2 のメモリセルと、
少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライ
バと

を有し、

前記第 1 のメモリセルからデータの読み出しを行う場合には、前記第 2 のメモ
リセルに接続された前記第 2 のビット線のレベルに応じて、前記データの読み出
しのタイミングを決定する半導体記憶装置であって、

前記ワード線ドライバは、前記一对の第 2 のビット線の電位差が予め設定され
た値になると、少なくとも前記第 2 のメモリセルに接続された前記ワード線を不
活性化させて前記第 2 のメモリセルに接続された前記第 2 のビット線の所定の電
位へのプリチャージを行う

半導体記憶装置。

【請求項 2】

前記ワード線ドライバは、前記一对の第 2 のビット線に接続され、前記一对の
第 2 のビット線の電位を比較する比較部と、

前記比較部による比較の結果、前記一对の第 2 のビット線の電位差が予め設定
された値になると、少なくとも前記第 2 のメモリセルに接続された前記ワード線
を不活性化するワード線制御部と、

前記ワード線制御部により前記第 2 のメモリセルに接続されたワード線が不活
性化した場合、前記第 2 のメモリセルに接続された一对の第 2 のビット線の所定
の電位へのプリチャージを行うプリチャージ回路とを含む

請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記ワード線には、前記第 1 のメモリセル、前記第 2 のメモリセル、および前

記ワード線ドライバが共通に接続され、

前記ワード線ドライバは、前記ワード線を共通のタイミングで活性化させ、前記一对の第2のビット線の電位差が予め設定された値になると、前記第1および第2のメモリセルに接続された前記ワード線を不活性化させて前記第2のメモリセルに接続された前記第2のビット線の所定の電位へのプリチャージを行う

請求項1に記載の半導体記憶装置。

【請求項4】

ワード線および一对の第1のビット線に接続されている第1のメモリセルと、
前記第1のビット線に接続されているセンスアンプと、

前記第1のビット線を所定の電位へのプリチャージを行う第1のプリチャージ回路と、

前記ワード線および一对の第2のビット線に接続されている第2のメモリセルと、

前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第1の比較部と、

前記ワード線および前記一对の第2のビット線に接続され、少なくとも前記ワード線の電位に基づいて前記第2のビット線の所定の電位へのプリチャージを行うワード線ドライバと、

前記第1のビット線および前記第2のビット線がプリチャージした状態で前記ワード線ドライバに前記ワード線を活性化させて前記第1のビット線および前記第2のビット線をディスチャージさせ、前記一对の第2のビット線の電位差が前記予め設定された値になると前記第1の比較部から出力されるタイミング信号に基づいて前記センスアンプに前記第1のビット線の電位差を検出させた後、前記第1のプリチャージ回路に前記第1のビット線を所定の電位へのプリチャージを行わせる制御回路とを有し、

前記ワード線ドライバは、前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第2の比較部と、

少なくとも前記第2の比較部が生成したタイミング信号に基づいて前記第2のメモリセルに接続された前記ワード線を不活性化するワード線制御部と、

前記ワード線が不活性化した場合に前記第2のメモリセルに接続された一对の前記第2のビット線の所定の電位へのプリチャージを行う第2のプリチャージ回路とを含む

半導体記憶装置。

【請求項5】

第1のワード線および一对の第1のビット線に接続されている第1のメモリセルと、

前記第1のビット線に接続されているセンスアンプと、

前記第1のビット線を所定の電位へのプリチャージを行う第1のプリチャージ回路と、

前記第1のワード線に接続され、前記第1のワード線の活性化および不活性化を行う第1のワード線ドライバと、

第2のワード線および一对の第2のビット線に接続されている第2のメモリセルと、

前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第1の比較部と、

前記第2のワード線および前記一对の第2のビット線に接続され、少なくとも前記第2のワード線の電位に基づいて前記第2のビット線の所定の電位へのプリチャージを行う第2のワード線ドライバと、

前記第1のビット線および前記第2のビット線がプリチャージした状態で前記第1および第2のワード線ドライバに前記第1および第2のワード線を活性化させて前記第1のビット線および前記第2のビット線をディスチャージさせ、前記一对の第2のビット線の電位差が前記予め設定された値になると前記第1の比較部から出力されるタイミング信号に基づいて前記センスアンプに前記第1のビット線の電位差を検出させた後、前記第1のプリチャージ回路に前記第1のビット線を所定の電位へのプリチャージを行わせる制御回路とを有し、

前記第2のワード線ドライバは、前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第2の比較部と、少なくとも前記第2の比較部が生成したタイミング信号に基づいて前記第2の

メモリセルに接続された前記第2のワード線を不活性化するワード線制御部と、
前記第2のワード線が不活性化した場合に前記第2のメモリセルに接続された
一対の前記第2のビット線の所定の電位へのプリチャージを行う第2のプリチャ
ージ回路とを含む
半導体記憶装置。

【請求項6】

ワード線および一対の第1のビット線に接続された第1のメモリセルと、ワー
ド線および一対の第2のビット線に接続された第2のメモリセルと、少なくとも
、前記ワード線を共通のタイミングで活性化させるワード線ドライバとを有する
半導体記憶装置の読み出し方法であって、

前記第1のメモリセルからデータの読み出しを行う場合には、前記第2のメモ
リセルに接続された前記第2のビット線のレベルに応じて、前記データの読み出
しのタイミングを決定し、

前記一対の第2のビット線の電位差が予め設定された値になると、前記ワード
線ドライバが、少なくとも前記第2のメモリセルに接続された前記ワード線を不
活性化させて前記第2のメモリセルに接続された前記第2のビット線の所定の電
位へのプリチャージを行う

半導体記憶装置の読み出し方法。

【請求項7】

前記一対の第2のビット線に接続された前記ワード線ドライバ内の比較部が、
前記一対の第2のビット線の電位を比較し、前記比較部による比較の結果、前記
一対の第2のビット線の電位差が予め設定された値になると、前記第2のメモ
リセルに接続された前記ワード線ドライバ内のワード線制御部が前記ワード線を不
活性化し、

前記ワード線制御部により前記第2のメモリセルに接続されたワード線が不活
性化した場合、前記ワード線ドライバ内のプリチャージ回路が前記第2のメモ
リセルに接続された一対の第2のビット線の所定の電位へのプリチャージを行う

請求項6に記載の半導体記憶装置の読み出し方法。

【請求項8】

前記ワード線には、前記第 1 のメモリセル、前記第 2 のメモリセル、および前記ワード線ドライバが共通に接続され、

前記ワード線ドライバが、前記ワード線を共通のタイミングで活性化させ、前記一对の第 2 のビット線の電位差が予め設定された値になると、前記第 1 および第 2 のメモリセルに接続された前記ワード線を不活性化させて前記第 2 のメモリセルに接続された前記第 2 のビット線の所定の電位へのプリチャージを行う

請求項 6 に記載の半導体記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばダミーメモリセルによるタイミング信号に基づいてメモリセルのデータを読み出す半導体記憶装置、および半導体記憶装置の読み出し方法に関するものである。

【0002】

【従来の技術】

ダミーメモリセルを有し、ダミーメモリセルによるタイミング信号に基づいてメモリセルのデータを読み出す S R A M (Static Random Access Memory) や R O M (Read only memory) 等の半導体メモリが知られている。

図 1 1 は一般的なダミーメモリセルが設けられた半導体記憶装置の機能ブロック図である。図 1 2 は図 1 1 に示した半導体記憶装置のタイミングチャートである。図 1 1, 1 2 を参照しながら、一般的なダミーメモリセル D M C が設けられた例えば S R A M や R O M 等の半導体記憶装置の読み出し動作を簡単に説明する。

【0003】

内部タイミング制御回路 1 8 b により信号 S 1 8 2 b がプリデコーダ 1 6 に出力される。プリデコーダ 1 6 およびワード線ドライバ 1 3 b により、図 1 2 (c) に示すように所定のワード線 W L が活性化されると、図 1 2 (e) に示すようにメモリセル M C に接続されたビット線 B L, x B L、および図 1 2 (d) に示すようにダミーメモリセル D M C に接続されたダミービット線 D B L, x D B L

がディスチャージされる。

【0004】

比較部14は、図12(d)に示すようにダミービット線DBL, xDBLの電位を比較し、例えば電位差が予め設定された閾値 V_{thcomp} 以下の場合にタイミング信号として信号S14をタイミング線TLを介して内部タイミング制御回路18に出力する。

このタイミング線TLは、例えば図10に示すように各構成要素が配置されている場合、比較部14からセンスアンプ19等を介して内部タイミング制御回路18bまで、メモリセル11の一行の一辺長よりも長く形成されている。

【0005】

内部タイミング制御回路18bは、図12(f)に示すようにタイミング線TLを介して入力された信号S14に基づいてパルス信号S181bを出力し、図12(g)に示すようにセンスアンプ19にビット線BL, xBLを介して所定のメモリセルMCのデータの読み出しを行わせた後、信号S182bを出力して図12(c)に示すようにプリデコーダ16およびワード線ドライバ13bにワード線WLを不活性化させ、信号S183bを出力して図12(d), (e)に示すようにプリチャージ回路15bに所定のビット線BL, xBLおよびダミービット線DBL, xDBLを所定の電位にプリチャージさせる。

【0006】

しかし、上述した読み出し方法では、内部タイミング制御回路18bがタイミング信号S14をタイミング線TLを介して受信した後に、ダミーメモリセルDMCに接続されたダミービット線DBL, xDBLをプリチャージするのでプリチャージの開始時間が遅く、そのためサイクル時間が長いという問題点があった。

【0007】

また、メモリセルMCのワード線WLを不活性化するのが遅いために、メモリセルMCのビット線BL, xBLが毎サイクルにおいて電源電圧 V_{cc} から基準電位GNDまでプリチャージおよびディスチャージを繰り返すために、余分な電力を消費してしまうという問題点があった。

【0008】

ところで、メモリのサイクル時間を短縮するために、ワード線ドライバに近接した位置において終端を有するように折り返されたワード線に、コアセルのRC遅延を近似するためのダミーメモリセルが接続されたメモリ回路が知られている（例えば、特許文献1参照）。

【0009】

また、メモリセルに隣接して、重複列およびパディング列が形成されたメモリシステムが知られている（例えば、特許文献2参照）。

【0010】

【特許文献1】

特表2001-521262号公報

【特許文献2】

特開2001-351385号公報

【0011】

【発明が解決しようとする課題】

例えば特許文献1に示すメモリ回路では、ダミーメモリセルが、ワード線ドライバに近接した位置において終端を有するように折り返されたワード線に接続され、ダミーメモリセルに接続されたワード線に伴うRC遅延時間により標準の遅延時間を設定しており、その標準の遅延時間に基づいて読み出し処理を行っているが、ダミーメモリセルに接続されたダミービット線のプリチャージ等を制御しておらず、プリチャージによるサイクル時間の改善は行っていない。

【0012】

例えば特許文献2に示すメモリシステムでは、重複列およびパディング列によるタイミング信号（自己計測制御信号とも言う）に基づいてセンス増幅器のオン状態を制御しているが、その自己計測制御信号は重複列およびパディング列からプリデコーダに長距離の信号線を介して入力される。その信号線の距離に起因して遅延が起こればサイクル時間が長いという問題点がある。

【0013】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、ダミーメモ

リセルによりタイミング信号を生成する半導体記憶装置において、読み出しのサイクル時間を、ダミーメモリセルに接続されたダミービット線のプリチャージ時間に依存することなく短縮できる半導体記憶装置、および半導体記憶装置の読み出し方法を提供することにある。

【0014】

また、本発明の他の目的は、ビット線のプリチャージおよびディスチャージによる消費電力を抑えることができる半導体記憶装置、および半導体記憶装置の読み出し方法を提供することにある。

【0015】

【課題を解決するための手段】

前記目的を達成するために、本発明の第1の観点は、ワード線および一对の第1のビット線に接続された第1のメモリセルと、ワード線および一对の第2のビット線に接続された第2のメモリセルと、少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライバとを有し、前記第1のメモリセルからデータの読み出しを行う場合には、前記第2のメモリセルに接続された前記第2のビット線のレベルに応じて、前記データの読み出しのタイミングを決定する半導体記憶装置であって、前記ワード線ドライバは、前記一对の第2のビット線の電位差が予め設定された値になると、少なくとも前記第2のメモリセルに接続された前記ワード線を不活性化させて前記第2のメモリセルに接続された前記第2のビット線の所定の電位へのプリチャージを行う。

【0016】

本発明の第1の観点によれば、第1のメモリセルからデータの読み出しを行う場合には、第2のメモリセルに接続された第2のビット線のレベルに応じて、データの読み出しのタイミングを決定する。

ワード線ドライバでは、一对の第2のビット線の電位差が予め設定された値になると、少なくとも第2のメモリセルに接続された前記ワード線を不活性化させて第2のメモリセルに接続された第2のビット線の所定の電位へのプリチャージを行う。

【0017】

さらに、前記目的を達成するために、本発明の第2の観点は、ワード線および一对の第1のビット線に接続されている第1のメモリセルと、前記第1のビット線に接続されているセンスアンプと、前記第1のビット線を所定の電位へのプリチャージを行う第1のプリチャージ回路と、前記ワード線および一对の第2のビット線に接続されている第2のメモリセルと、前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第1の比較部と、前記ワード線および前記一对の第2のビット線に接続され、少なくとも前記ワード線の電位に基づいて前記第2のビット線の所定の電位へのプリチャージを行うワード線ドライバと、前記第1のビット線および前記第2のビット線がプリチャージした状態で前記ワード線ドライバに前記ワード線を活性化させて前記第1のビット線および前記第2のビット線をディスチャージさせ、前記一对の第2のビット線の電位差が前記予め設定された値になると前記第1の比較部から出力されるタイミング信号に基づいて前記センスアンプに前記第1のビット線の電位差を検出させた後、前記第1のプリチャージ回路に前記第1のビット線を所定の電位へのプリチャージを行わせる制御回路とを有し、前記ワード線ドライバは、前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第2の比較部と、少なくとも前記第2の比較部が生成したタイミング信号に基づいて前記第2のメモリセルに接続された前記ワード線を不活性化するワード線制御部と、前記ワード線が不活性化した場合に前記第2のメモリセルに接続された一对の前記第2のビット線の所定の電位へのプリチャージを行う第2のプリチャージ回路とを含む。

【0018】

さらに、前記目的を達成するために、本発明の第3の観点は、第1のワード線および一对の第1のビット線に接続されている第1のメモリセルと、前記第1のビット線に接続されているセンスアンプと、前記第1のビット線を所定の電位へのプリチャージを行う第1のプリチャージ回路と、前記第1のワード線に接続され、前記第1のワード線の活性化および不活性化を行う第1のワード線ドライバと、第2のワード線および一对の第2のビット線に接続されている第2のメモリセルと、前記一对の第2のビット線の電位を比較し、電位差が予め設定された値

になるとタイミング信号を生成する第1の比較部と、前記第2のワード線および前記一对の第2のビット線に接続され、少なくとも前記第2のワード線の電位に基づいて前記第2のビット線の所定の電位へのプリチャージを行う第2のワード線ドライバと、前記第1のビット線および前記第2のビット線がプリチャージした状態で前記第1および第2のワード線ドライバに前記第1および第2のワード線を活性化させて前記第1のビット線および前記第2のビット線をディスチャージさせ、前記一对の第2のビット線の電位差が前記予め設定された値になると前記第1の比較部から出力されるタイミング信号に基づいて前記センスアンプに前記第1のビット線の電位差を検出させた後、前記第1のプリチャージ回路に前記第1のビット線を所定の電位へのプリチャージを行わせる制御回路とを有し、前記第2のワード線ドライバは、前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第2の比較部と、少なくとも前記第2の比較部が生成したタイミング信号に基づいて前記第2のメモリセルに接続された前記第2のワード線を不活性化するワード線制御部と、前記第2のワード線が不活性化した場合に前記第2のメモリセルに接続された一对の前記第2のビット線の所定の電位へのプリチャージを行う第2のプリチャージ回路とを含む。

【0019】

さらに、前記目的を達成するために、本発明の第4の観点は、ワード線および一对の第1のビット線に接続された第1のメモリセルと、ワード線および一对の第2のビット線に接続された第2のメモリセルと、少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライバとを有する半導体記憶装置の読み出し方法であって、前記第1のメモリセルからデータの読み出しを行う場合には、前記第2のメモリセルに接続された前記第2のビット線のレベルに応じて、前記データの読み出しのタイミングを決定し、前記一对の第2のビット線の電位差が予め設定された値になると、前記ワード線ドライバが、少なくとも前記第2のメモリセルに接続された前記ワード線を不活性化させて前記第2のメモリセルに接続された前記第2のビット線の所定の電位へのプリチャージを行う。

【0020】

【発明の実施の形態】

図1は、本発明に係る半導体記憶装置の第1実施形態を示すブロック図である。

本実施形態に係る半導体記憶装置1は、ダミーメモリセルを有し、メモリセルからデータの読み出しを行う場合には、ダミーメモリセルに接続されたダミービット線のレベル（電位とも言う）に応じてデータの読み出しのタイミングを決定する。

詳細には、デイスチャージ時にダミーメモリセルに接続されたダミービット線の電位差が予め設定された閾値になると出力されるタイミング信号に基づいて、メモリセルからのデータの読み出しタイミングを制御し、かつワード線の活性化時間およびダミーセルが接続されたダミービット線の所定の電位へのプリチャージのタイミング開始時間を制御する。

【0021】

本実施形態に係る半導体記憶装置1は、例えば図1に示すように、メモリセル11、ダミーメモリセル12、ワード線ドライバ13、比較部14、プリチャージ回路15、プリデコーダ16、パルス生成部17、内部タイミング制御回路18、およびセンスアンプ19を有する。

本実施形態では例えば各構成要素が同一のIC（integrated circuit）チップ上に形成されている。

メモリセル11は本発明に係る第1のメモリセルに相当し、ダミーメモリセル12は本発明に係る第2のメモリセルに相当し、ワード線ドライバ13は本発明に係るワード線ドライバに相当する。

【0022】

メモリセル11には、例えばSRAMセルやROMセル等の複数のメモリセルMC11～MCmnがマトリクス形状に形成され、同一列に属すメモリセルMC1n, ..., MCmnが一对のビット線BLn, xBLnに接続され、これらビット線BLn, xBLnはプリチャージ回路15を介して、センスアンプ19に接続されている。ビット線BL, xBLは本発明に係る第1のビット線に相当する。

本実施形態では、通常のメモリセル 11 に加えて 1 列のダミーメモリセル 12、詳細にはダミーメモリセル DMC 1 ~ DMC m が各行毎に設けられている。

【0023】

図 2 は、図 1 に示した半導体記憶装置のメモリセルの一具体例を示すブロック図である。

本実施形態では例えば図 2 に示すようにメモリセル 11 が S R A M セルの場合を説明する。

例えば、メモリセル MC は、図 2 に示すように、P チャネル MOS (Metal oxide semiconductor) トランジスタ Q 11, Q 12、N チャネル MOS トランジスタ Q 13 ~ Q 16 により構成される。

ワード線 WL は、トランジスタ Q 15, Q 16 のゲートに接続されている。

相補的な一対のビット線 BL, xBL は、トランジスタ Q 15, Q 16 のドレインに接続されている。

トランジスタ Q 11, Q 13 は電源電圧 Vcc の供給ラインおよび基準電位 GND に直列に接続され、トランジスタ Q 12, Q 14 は電源電圧 Vcc の供給ラインおよび基準電位 GND に直列に接続されている。

トランジスタ Q 11, Q 13 のゲートはトランジスタ Q 16 のソースに接続され、トランジスタ Q 12, 14 のゲートはトランジスタ Q 15 のソースに接続されている。

【0024】

ダミーメモリセル 12 は、例えば図 1 に示すように、メモリセル 12 に隣接して、メモリセル 12 の 1 列の数と同じ数のダミーメモリセル DMC 1 ~ DMC m が形成されている。

ダミーメモリセル 12 それぞれには、一対のダミービット線 DBL, xDBL が接続されている。ダミービット線 DBL, xDBL は比較部 14 に接続されている。

【0025】

図 3 は、図 1 に示したダミーメモリセルの一具体例を示すブロック図である。

ダミーメモリセル 12 は、例えば図 3 に示すように、メモリセル MC とほぼ同

じ構成である。相違点は図2に示すビット線BL, xBLがダミービット線DBL, xDBLに変更されている点と、トランジスタQ11のゲートが基準電位に接続され、トランジスタQ12のゲートが電源電圧Vccの供給ラインに接続されている点である。

【0026】

各行のメモリセル11およびダミーメモリセル12は、共通のワード線WL1, ..., WLnに接続され、ワード線ドライバ13により駆動される。

ワード線ドライバ13とダミービット線DBL, xDBLは、例えば図1に示すように、メモリセル11を介してワード線WLに沿って平行に形成されたワードダミービット線WDBL, xWDBLにより接続されている。ダミービット線DBL, xDBLは本発明に係る第2のビット線に相当する。

【0027】

図4は、図1に示した半導体記憶装置のワード線ドライバの機能ブロック図である。

ワード線ドライバ13は、ダミーメモリセル12によるタイミング信号に基づいて、ダミーメモリセル12に接続されたワード線WLの活性化時間を制御し、かつタイミング信号およびダミーメモリセル12に接続されたワード線WLの電位に基づいてダミーメモリセル12のプリチャージ時間を制御する。

詳細には、ワード線ドライバ13は、一対のダミービット線DBL, xDBLの電位差が予め設定された閾値になると、少なくともダミーメモリセル12に接続されたワード線WLを不活性化させてダミーメモリセル12に接続されたダミービット線DBL, xDBLのプリチャージを行う。

【0028】

ワード線ドライバ13は、例えば詳細には図4に示すように、アンドゲート131、インバータ132, 133、プリチャージ回路134、および比較部135を有する。

アンドゲート131は本発明に係るワード線制御部に相当し、プリチャージ回路134は本発明に係るプリチャージ回路に相当し、比較部135は本発明に係る比較部に相当する。

【0029】

アンドゲート131は、プリデコーダ16が出力した信号S16および比較部135による比較の結果に基づいて、ダミーメモリセル12に接続されたワード線WLの活性化および不活性化を制御する。

例えば、アンドゲート131は、比較部135による比較の結果、一对のダミービット線DBL, xDBLの電位差が予め設定された閾値 V_{thcomp} 以下になると、少なくともダミーメモリセル12に接続されたワード線WLを不活性化する。

詳細にはアンドゲート131は、プリデコーダ16が出力した信号S16、および比較部135が出力した信号S135に基づいて信号S131を生成し、信号S131をインバータ132に出力する。

【0030】

インバータ132は、アンドゲート131が出力した信号S131を論理反転し、信号S132としてインバータ133に出力する。

インバータ133は、インバータ132が出力した信号S132を論理反転し、信号S133としてワード線WLに出力する。

【0031】

プリチャージ回路134は、アンドゲート131によるダミーメモリセル12に接続されたワード線WLの活性化および不活性化に基づいて、ダミーメモリセル12に接続された一对のダミービット線DBL, xDBLの所定の電位へのプリチャージを行う。

例えばプリチャージ回路134は、ワード線WLが不活性化した場合、ダミーメモリセル12に接続された一对のダミービット線DBL, xDBLの所定の電位へのプリチャージを行う。

詳細には、プリチャージ回路134は、インバータ133から出力された信号S133に基づいて、ダミービット線DBL, xDBLを所定の電位へのプリチャージおよびディスチャージを行う。

【0032】

プリチャージ回路134は、例えば詳細には図4に示すように、PチャネルM

OS (Metal oxide semiconductor) トランジスタ $Q1 \sim Q3$ を有する。

トランジスタ $Q1 \sim Q3$ のゲートはワード線 WL に接続されている。トランジスタ $Q1, 2$ のソースは電源電圧 V_{cc} の供給ラインに接続されている。トランジスタ $Q1$ のドレインはダミービット線 $xDBL$ に接続され、トランジスタ $Q2$ のドレインはダミービット線 DBL に接続されている。

トランジスタ $Q3$ のドレインおよびソースは、ダミービット線ビット $DBL, xDBL$ に接続されている。

【0033】

比較部 135 は、ダミーメモリセル 12 に接続された一対のダミービット線 $DBL, xDBL$ の電位を比較する。詳細には、比較部 135 はダミービット線 $DBL, xDBL$ 、つまりワードダミービット線 $WDBL, xWDBL$ の電位差に基づいて信号 $S135$ を生成し、アンドゲート 131 に出力する。

比較部 135 は、例えば詳細には、ダミービット線 $DBL, xDBL$ の電位差が予め設定された閾値 V_{thcomp} 以下の場合には、ロウレベルの信号 $S135$ を出力し、閾値 V_{thcomp} よりも大きい場合にはハイレベルの信号 $S135$ を出力する。

【0034】

比較部 14 は、タイミング線 TL を介して内部タイミング制御回路 18 に接続されている。本実施形態ではタイミング線 TL は、各構成要素が図 1 に示すように形成される場合、比較部 14 からセンスアンプ 19 等を介して内部タイミング制御回路 18 まで、メモリセル 11 の一行の一辺長よりも長く形成されている。

比較部 14 は、比較部 135 と同様に、一対のダミービット線 $DBL, xDBL$ の電位を比較し、電位差が予め設定された閾値 V_{thcomp} 以下になるとタイミング信号 $S14$ を生成し、内部タイミング制御回路 18 に出力する。

【0035】

プリチャージ回路 15 には、ビット線 BL, xBL それぞれにプリチャージ回路 $PC1 \sim PCn$ が形成され、内部タイミング制御回路 18 からの信号 $S183$ に基づいてビット線 BL, xBL の所定の電位へのプリチャージを行う。

【0036】

プリデコーダ 16 は、入力アドレス信号 $A[0] \sim A[m]$ をデコードし、内部タイミング制御回路 18 が出力したタイミング信号 $S182$ に基づいて所定のタイミングで信号 $S16$ をワード線ドライバ 13 に出力する。

【0037】

図 5 は、図 1 に示した半導体記憶装置のパルス生成部の動作を説明するための図である。

パルス生成部 17 は、例えば図 5 (a) に示すように、入力端子からハイレベルの期間 $TH1$ およびロウレベルの期間 $TL1$ の外部クロック信号 CK ($EXCK$ とも言う) が入力されると、例えば図 5 (b) に示すように、期間 $TH1$ よりも長いハイレベルの期間 $TH2$ 、および期間 $TL1$ よりも短いロウレベルの期間 $TH2$ の内部クロック信号 CK ($INTCK$ とも言う) を、信号 $S17$ としてプリデコーダ 16 および内部タイミング制御回路 18 等に出力する。

外部クロック信号 CK および内部クロック信号 CK の繰り返し時間間隔 Tc は同じであり、デューティ比が異なる。

プリデコーダ 16 および内部タイミング制御回路 18 等は、内部クロック信号 CK に基づいて所定の動作を行う。

【0038】

内部タイミング制御回路 18 は、コントロール信号 WE の入力端子、プリチャージ回路 15、プリデコーダ 16、パルス生成部 17、およびセンスアンプ 19 に接続されている。

【0039】

内部タイミング制御回路 18 は、例えば不図示の CPU 等から入力端子を介して入力されたコントロール信号 WE をデコードし、センスアンプ 19 にビット線 BL 、 xBL 上のデータを増幅させる信号 $S181$ (センスアンプイネーブル信号: SAE) を出力する。

また、内部タイミング制御回路 18 は、コントロール信号 WE をデコードし、プリデコーダ 16 およびワード線ドライバ 13 にアドレス信号 $A[0] \sim [m]$ をデコードさせてワード線 WL を活性化および不活性化させる信号 $S182$ を出力する。

また、内部タイミング制御回路 18 は、プリチャージ回路 15 にビット線 BL, xBL のプリチャージを行わせる信号 S183 を出力する。

【0040】

センスアンプ 19 は、上述したように例えば内部タイミング制御回路 18 から
の信号 S181 に基づいてビット線 BL, xBL 上のデータを増幅し、所定のメモ
リセル 12 のデータをデータ信号 O[n] として出力端子から出力する。

データ入力時には、データ信号 I[n] がデータ入力端子から入力され、ビッ
ト線 BL, xBL に入力される。

【0041】

図 6 は、図 1 に示した半導体記憶装置の動作を説明するためのタイミングチャ
ートである。図 1 ~ 6 を参照しながら半導体記憶装置 1 の動作、特にワード線ド
ライバ 13 の動作を中心に説明する。

【0042】

まず、ワード線 WL がロウレベルで不活性状態であり、ビット線 BL, xBL
およびダミービット線 DBL, xDBL はプリチャージされているとする。

【0043】

時間 t0 において、図 6 (a) に示すようにクロック信号 CK がハイレベルに
設定されると、内部タイミング制御回路 18 は、図 6 (b) に示すようにプリチ
ャージ回路 15 にロウレベルのプリチャージイネーブル信号 PRE (S183)
を出力する (時間 t1)。

【0044】

時間 t2 において、内部タイミング制御回路 18 が、コントロール信号 WE に
基づいて信号 S182 をプリデコーダに出力する。プリデコーダ 16 およびワー
ド線ドライバ 13 は、図 6 (c) に示すようにアドレス信号 A[m] および信号
S182 に基づいて所定のワード線 WL をハイレベルに設定してワード線 WL を
活性化させる。

詳細には、図 4 に示すように、アンドゲート 131 では、比較部 135 からハ
イレベルの信号 S135 およびプリデコーダ 16 から所定のハイレベルの信号 S
16 が入力されると、ハイレベルの信号 S131 を出力し、インバータ 132,

133を介して、ワード線WLをハイレベルに設定してワード線WLを活性化する。

【0045】

ワード線WLが活性化されると、図6(d)に示すようにダミーメモリセル12に接続されたダミービット線DBL, xDBLがディスチャージされ、図6(e)に示すようにメモリセル11に接続されたビット線BL, xBLがディスチャージされる。

【0046】

比較部14では、図6(d)に示すように時間t3において、ダミービット線DBL, xDBLの電位差が閾値 V_{thcomp} 以下であることを検出すると、タイミング信号としてロウレベルの信号S14をタイミング線TLを介して内部タイミング制御回路18に出力する。内部タイミング制御回路18ではその信号S14が入力されると、図6(f)に示すようにセンスアンプ19にセンスネーブル信号SAEとしてハイレベルのパルス信号S181を出力する(時間t4)。

センスアンプ19は、パルス信号S181に基づいて所定のメモリセルMCのデータが出力された所定のビット線BL, xBL上のデータを読み出し、図6(g)に示すように信号O[n]として出力する。

【0047】

一方、時間t3において、ワード線ドライバ13の比較部135では、図6(d)に示すように、ダミービット線DBL, xDBLの電位差が閾値 V_{thcomp} 以下であることを検出すると、タイミング信号としてロウレベルの信号S135をアンドゲート131に出力する。

アンドゲート131では、ロウレベルの信号S135が入力されるとロウレベルの信号S131を出力し、インバータ132, 133により図6(c)に示すように、ワード線WLをロウレベルに設定してワード線WLを不活性化する(時間t5)。

【0048】

ワード線ドライバ13のプリチャージ回路134では、時間t5において、ワード線WLがロウレベルの場合には、トランジスタQ1~3がオン状態になり、

図6 (d) に示すようにダミービット線DBL, xDBLをプリチャージする (時間 t 6)。

【0049】

この際、ダミービット線DBL, xDBLでは、デイスチャージされている時間 t 2 ~ t 6 間では、ダミービット線DBLの電位が小さくなり続け、時間 t 6 においてダミービット線DBLの電位が0となる前に所定の電位へのプリチャージが行われ電源電圧Vccとなる。

このため本実施形態では図6 (d) に示すように、ダミービット線DBLを電源電圧Vccよりも小さい電圧Vsdをプリチャージする。

【0050】

時間 t 7 において、図6 (b) に示すように内部タイミング制御回路18は、ハイレベルのプリチャージイネーブルPRE信号S183をプリチャージ回路15に出力すると、プリチャージ回路15は時間 t 8 においてビット線BL, xBLのプリチャージを行い、時間 t 9 でビット線BLの電位が電源電圧Vccに設定される。

この際、時間 t 8 においてビット線BL, xBLの電位差が0となる前に所定の電位へのプリチャージが行われ電源電圧Vccとなる。このため、本実施形態では図6 (e) に示すように、ビット線BL, xBLを電源電圧Vccよりも小さい電位差Vsをプリチャージし、所定の電位にプリチャージする。

サイクル時間Tcyは、読み出し動作が始まる時間 t 0 から終了時間 t 9 である。

【0051】

以上説明したように、本実施形態では、ワード線WLおよび一対のビット線BL, xBLに接続されたメモリセル11と、ワード線WLおよび一対のダミービット線DBL, xDBLに接続されたダミーメモリセル12と、少なくとも、ワード線WLを共通のタイミングで活性化させるワード線ドライバ13とを設け、メモリセル11からデータの読み出しを行う場合には、ダミーメモリ12に接続されたダミービット線DBL, xDBLのレベルに応じて、データの読み出しのタイミングを決定し、ワード線ドライバ13が一対のダミービット線DBL, x

DBLの電位差が予め設定された閾値 V_{thcomp} になると、少なくともダミーメモリセル12に接続されたワード線WLを不活性化させてダミーメモリセル12に接続されたダミービット線DBL, xDBLの所定の電位へのプリチャージを行うので、ダミービット線DBL, xDBLのプリチャージ開始時間がビット線BL, xBLのプリチャージ開始時間より早くなり、読み出しのサイクル時間 T_{cy} をダミーメモリセル13のダミービット線DBL, xDBLのプリチャージ時間に依存することなく短縮できる。

【0052】

詳細には、メモリセル11に接続されたビット線BL, xBLは、内部タイミング制御回路18を介してセンスアンプ19によりデータの読み出しが行われた後に所定の電位へのプリチャージが行われる。一方、ダミーメモリセル12に接続されたダミービット線DBL, xDBLは、ワード線ドライバ13内の比較部135により、ワード線WLがロウレベルになり不活性化することで、センスアンプ19の読み出しを待たずにダミービット線DBL, xDBLの所定の電位へのプリチャージを行うので、サイクル時間 T_{cy} を短縮することができる。

【0053】

詳細には、ワード線ドライバ13には、ダミーメモリセル12に接続された一对のダミービット線DBL, xDBLの電位を比較する比較部135と、比較部135による比較の結果に基づいてダミーメモリセル13に接続されたワード線WLの活性化および不活性化を制御するアンドゲート131と、アンドゲート131によりダミーメモリセル12に接続されたワード線WLが不活性化した場合、ダミーメモリセル12に接続された一对のダミービット線DBL, xDBLの所定の電位へのプリチャージを行うプリチャージ回路134とを設けたので、サイクル時間 T_{cy} を短縮することができる。

【0054】

また、ワード線WL活性化時間を短くすることで、メモリセル11に接続されたビット線BL, xBLならびにダミーメモリセル13が接続されたダミービット線DBL, xDBLのプリチャージおよびディスチャージによる消費電力を抑えることができる。

【0055】

図7は、本発明に係る半導体記憶装置の第2実施形態を示すブロック図である。

本実施形態に係る半導体記憶装置1aは、第1実施形態に係る半導体記憶装置1とほぼ同様な構成であり、同じ構成要素は同じ符号を付して説明を省略する。相違点のみ説明する。

【0056】

第1実施形態と第2実施形態の大きな相違点は、ダミーメモリセル12用のワード線ドライバ13と、メモリセル11用のワード線ドライバ13aとを別々に設けた点である。

図7に示した半導体記憶装置1aのダミーメモリセル12用のワード線ドライバ13は、図4に示すワード線ドライバ13とほぼ同様であり、ワード線WLをダミーワード線DWLに読み替えればよい。

【0057】

図8は図7に示した半導体記憶装置1aのワード線ドライバ13aの機能ブロック図である。

ワード線ドライバ13aは、例えば図8に示すように、アンドゲート131a、およびインバータ132、133を有する。

ワード線ドライバ13aと第1実施形態に係るワード線ドライバ13との相違点は、プリチャージ回路および比較部がない点である。

また、アンドゲート131aは、プリデコード16からの信号S16のみに基づいて、ワード線WLの活性化および不活性化を行う。

【0058】

半導体記憶装置1aでは、ダミーメモリセル12aが、メモリセル11に隣接して1行および1列が設けられている。詳細には例えば図7に示すように、ダミーメモリセルDMC01～DMC0(n+1)が1行、およびダミーメモリセルDMC1(n+1)～DMCm(n+1)が1列設けられている。

ダミーメモリセルDMC01～DMC0(n+1)は、共通のダミーワード線DWLにより接続され、ワード線ドライバ13により駆動される。

【0059】

図9は、図7に示した半導体記憶装置1aのダミーメモリセルの一部を拡大した機能ブロック図である。

ダミーメモリセルDMC1(n+1)～DMCm(n+1)は、例えばダミーワード線WLやワード線WLが接続されずに、一对のダミービット線DBL、xDBLが共通に接続され、ワード線WLは接続されていない。

第1実施形態に係るダミーメモリセルDMCとの相違点は、ダミーメモリセルDMC1(n+1)～DMCm(n+1)は、例えば図9に示すように、トランジスタQ15、Q16のゲートが基準電位に接続されている点である。

【0060】

また、ワード線ドライバ13とダミービット線DBL、xDBLは、例えば図7に示すように、ダミーメモリセルDMC01～DMC0(n+1)に沿って平行に形成されたワードダミービット線WDBL、xWDBLにより接続されている。

【0061】

図10は、図7に示した半導体記憶装置1aの動作を説明するためのタイミングチャートである。図7、10を参照しながら、半導体記憶装置1aの動作を第1実施形態と相違点を中心に説明する。

大きな相違点としては、本実施形態に係る半導体記憶装置1aでは、メモリセル11に接続されたワード線WLと、ダミーメモリセル12aのダミーメモリセルDMC01～DMC0(n+1)が接続されたダミー線ワード線DWLとに、別々にワード線ドライバ13、13aが設けられているためにそれぞれが異なった動作を行う点である。

【0062】

まず、ワード線WLがロウレベルで不活性状態であり、ビット線BL、xBLおよびダミービット線DBL、xDBLはプリチャージされているとする。

【0063】

時間t0において、図10(a)に示すようにクロック信号CKがハイレベルに設定されると、内部タイミング制御回路18は、図10(b)に示すようにプ

リチャージ回路15にロウレベルのプリチャージイネーブル信号PRE (S183) を出力する (時間t1)。

【0064】

時間t2において、内部タイミング制御回路18が、コントロール信号WEに基づいて信号S182をプリデコーダに出力する。プリデコーダ16およびワード線ドライバ13aは、図10(c') に示すようにアドレス信号A[m] および信号S182に基づいて所定のワード線WLをハイレベルに設定してワード線WLを活性化させる。

【0065】

また、プリデコーダ16およびワード線ドライバ13は、図10(c) に示すようにアドレス信号A[m] および信号S182に基づいてダミーワード線DWLをハイレベルに設定してダミーワード線DWLを活性化させる。

詳細には、図4に示すように、アンドゲート131では、比較部135からハイレベルの信号S135およびプリデコーダ16から所定のハイレベルの信号S16が入力されると、ハイレベルの信号S131を出力し、インバータ132、133を介して、ダミーワード線DWLをハイレベルに設定する。

【0066】

ダミーワード線DWLが活性化されると、図10(d) に示すようにダミーメモリセル12に接続されたワードダミービット線WDBL, xWDBLおよびダミービット線DBL, xDBLがディスチャージされる。

また、ワード線WLが活性化されると、図10(e) に示すようにメモリセル11に接続されたビット線BL, xBLがディスチャージされる。

【0067】

比較部14では、図10(d) に示すように時間t3において、ダミービット線DBL, xDBLの電位差が閾値V_{thcomp}以下であることを検出すると、タイミング信号としてロウレベルの信号S14をタイミング線TLを介して内部タイミング制御回路18に出力する。内部タイミング制御回路18ではその信号S14が入力されると、図10(f) に示すようにセンスアンプ19にセンスネーブル信号SAEとしてハイレベルのパルス信号S181を出力する (時間t4)。

センスアンプ19は、パルス信号S181に基づいて所定のメモリセルMCのデータが出力された所定のビット線BL, xBL上のデータを読み出し、図10(g)に示すように信号O[n]として出力する。

【0068】

一方、時間t3において、ワード線ドライバ13の比較部135では、図10(d)に示すように、ダミービット線DBL, xDBLの電位差が閾値V_{thcomp}以下であることを検出すると、タイミング信号としてロウレベルの信号S135をアンドゲート131aに出力する。

アンドゲート131aでは、ロウレベルの信号S135が入力されるとロウレベルの信号S131を出力し、インバータ132, 133により図10(c)に示すように、ダミーワード線DWLをロウレベルに設定してダミーワード線DWLを不活性化する(時間t5)。

【0069】

一方、比較部14によりダミーメモリセルDMC0(n+1)~DMCm(n+1)が接続されたダミービット線DBL, xDBLの電位差が、閾値V_{thcomp}以下であることを検出すると、タイミング信号として信号S14をタイミング線TLを介して内部タイミング制御回路18に出力する。

内部タイミング制御回路18では、信号S14が入力されると信号S182をプリデコーダ16に出力し、所定のワード線ドライバ13aに、ワード線WLをロウレベルにオフ状態、つまり不活性化させる(時間t5')。

【0070】

ワード線ドライバ13のプリチャージ回路134では、時間t5において、ワード線WLがロウレベルの場合には、トランジスタQ1~3がオン状態になり、図10(d)に示すようにワードダミービット線WDBL, xWDBLおよびダミービット線DBL, xDBLをプリチャージする(時間t6)。

【0071】

この際、ダミービット線DBL, xDBLでは、ディスチャージされている時間t2~t6間では、ダミービット線DBL, xDBLの電位差が小さくなり続け、時間t6においてダミービット線DBL, xDBLの電位差が0となる前に

所定の電位へのプリチャージが行われ電源電圧 V_{cc} となる。

このため本実施形態では図 10 (d) に示すように、ダミービット線 DBL, x DBL を電源電圧 V_{cc} よりも小さい電位差 V_{sd} をプリチャージする。

【0072】

図 10 (b) に示すように、時間 t_7 において、内部タイミング制御回路 18 は、ハイレベルのプリチャージイネーブル PRE 信号 S183 をプリチャージ回路 15 に出力すると、プリチャージ回路 15 は時間 t_8 においてビット線 BL, x BL のプリチャージを行い、時間 t_9 でビット線 BL の電位が電源電圧 V_{cc} に設定される。

この際、時間 t_8 においてビット線 BL の電位が 0 となる前に所定の電位へのプリチャージが行われ電源電圧 V_{cc} となる。このため、本実施形態では図 10 (e) に示すように、ビット線 BL を電源電圧 V_{cc} よりも小さい電位 V_s をプリチャージし、所定の電位にプリチャージする。

サイクル時間は、読み出し動作が始まる時間 t_0 から終了時間 t_9 である。

【0073】

以上説明したように、本実施形態では、ダミーメモリセル 12 用のワード線ドライバ 13 と、メモリセル 11 用のワード線ドライバ 13a とを別々に設けたので、例えば既存のメモリセル 11 の周囲にダミーメモリセル 12 およびワード線ドライバ 13 を設けることで、メモリセル 11 に変更を加えることなく実現可能である。

また、本実施形態に係る半導体記憶装置 1a では、第 1 実施形態と比べて比較部が少なくすることができる。

また、ダミーワード線 DWL 活性化時間を短くすることで、ダミーメモリセル 13 が接続されたダミービット線 DBL, x DBL のプリチャージおよびディスチャージによる消費電力を抑えることができる。

【0074】

なお、本発明は本実施の形態に限られるものではなく、任意好適な種々の改変が可能である。

実施形態では、メモリセルとして SRAM や ROM 等を説明したが、この形態

に限られるものではない。例えば、ダミーメモリセルによるタイミング信号によりメモリ動作を制御する半導体記憶装置に適用できる。

【0075】

また、実施形態ではダミーメモリセルDMCをメモリセル11に隣接して形成したが、ダミーメモリセルDMCの形成位置は、この形態に限られるものではない。読み出し動作のためのタイミング信号を適切に出力することができ、ダミービット線DBL、xDBLのプリチャージ開始時間を制御できればよい。

【0076】

【発明の効果】

本発明によれば、ダミーメモリセルによりタイミング信号を生成する半導体記憶装置において、読み出しのサイクル時間をダミーメモリセルに接続されたダミービット線のプリチャージ時間に依存することなく短縮できる半導体記憶装置、および半導体記憶装置の読み出し方法を提供することができる。

【0077】

また、本発明によれば、ビット線のプリチャージおよびディスチャージによる消費電力を抑えることができる半導体記憶装置、および半導体記憶装置の読み出し方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明に係る半導体記憶装置の第1実施形態を示すブロック図である。

【図2】

図1に示した半導体記憶装置のメモリセルの一具体例を示すブロック図である。

【図3】

図1に示したダミーメモリセルの一具体例を示すブロック図である。

【図4】

図1に示した半導体記憶装置のワード線ドライバの機能ブロック図である。

【図5】

図1に示した半導体記憶装置のパルス生成部の動作を説明するための図である。

。

【図 6】

図 1 に示した半導体記憶装置の動作を説明するためのタイミングチャートである。

【図 7】

本発明に係る半導体記憶装置の第 2 実施形態を示すブロック図である。

【図 8】

図 7 に示した半導体記憶装置 1 a のワード線ドライバ 1 3 a の機能ブロック図である。

【図 9】

図 7 に示した半導体記憶装置 1 a のダミーメモリセルの一部を拡大した機能ブロック図である。

【図 10】

図 7 に示した半導体記憶装置 1 a の動作を説明するためのタイミングチャートである。

【図 11】

一般的なダミーメモリセルが設けられた半導体記憶装置の機能ブロック図である。

【図 12】

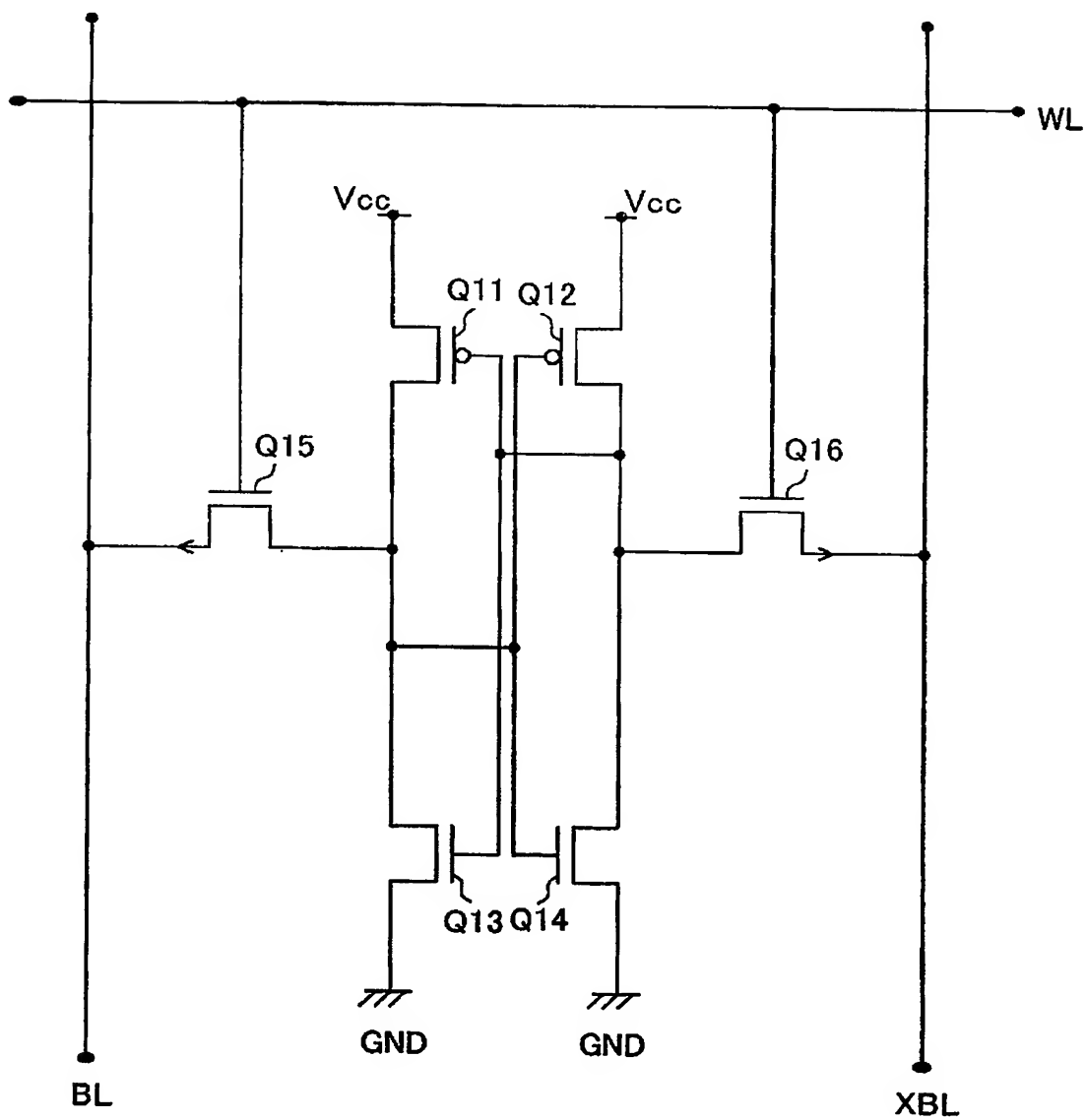
図 11 に示した一般的な半導体記憶装置のタイミングチャートである。

【符号の説明】

1, 1 a…半導体記憶装置、1 1…メモリセル、1 2…ダミーメモリセル、1 3, 1 3 a…ワード線ドライバ、1 4…比較部、1 5…プリチャージ回路、1 6…プリデコード、1 7…パルス生成部、1 8…内部タイミング制御回路、1 9…センスアンプ、1 3 1…アンドゲート、1 3 2, 1 3 3…インバータ、1 3 4…プリチャージ回路、1 3 5…比較部、A [m]…入力アドレス信号、B L n, x B L n…ビット線、C K…クロック信号、D B L, x D B L…ダミービット線、D M C…ダミーメモリセル、D W L…ダミーワード線、M C…メモリセル、P C…プリチャージ回路、Q 1～Q 3, Q 1 1～1 6…トランジスタ、T L…タイミ

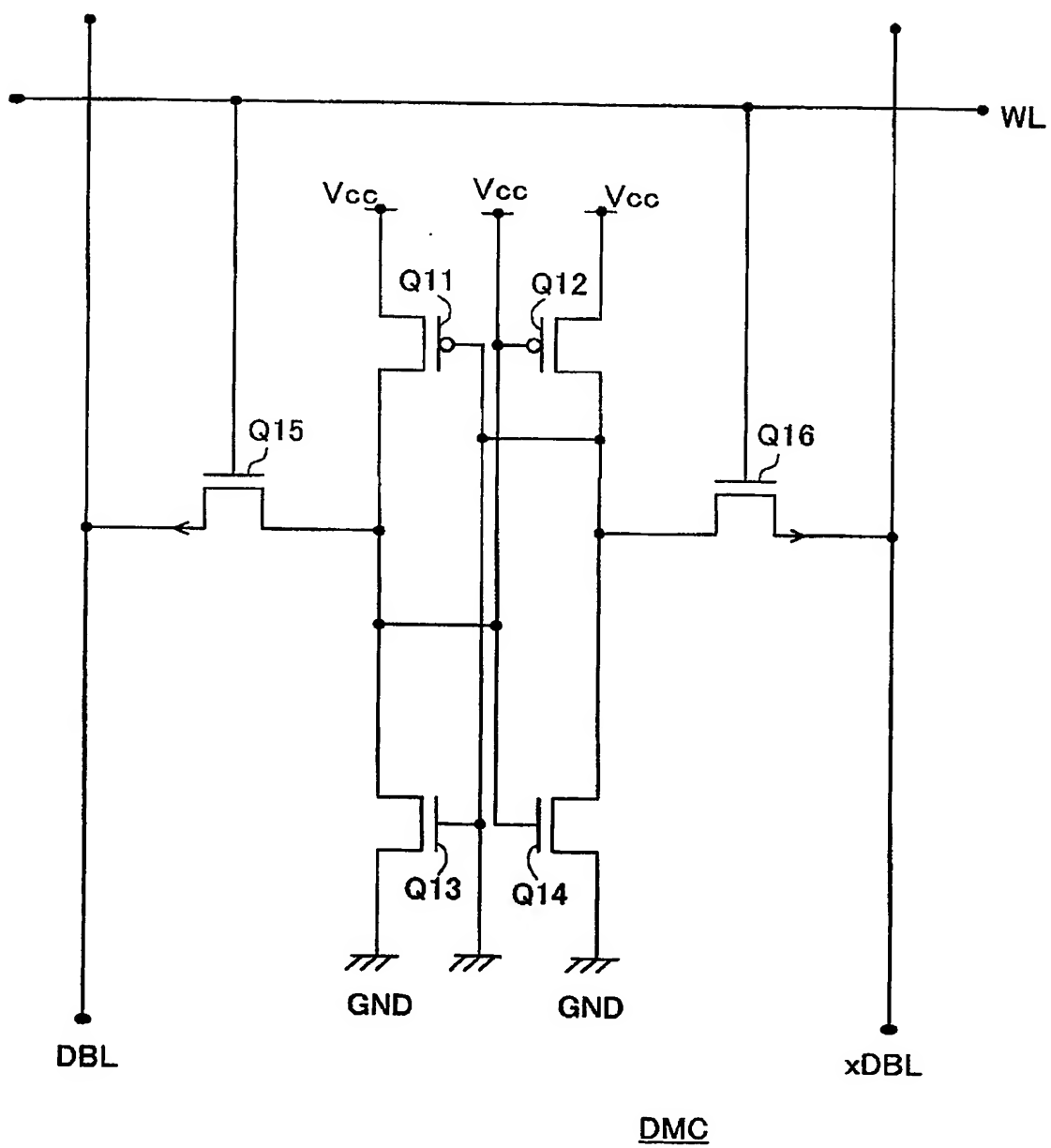
ング線、V c c…電源電圧、W D B L, x W D B L…ワードダミービット線、D
W L…ダミーワード線、W L…ワード線。

【図 2】

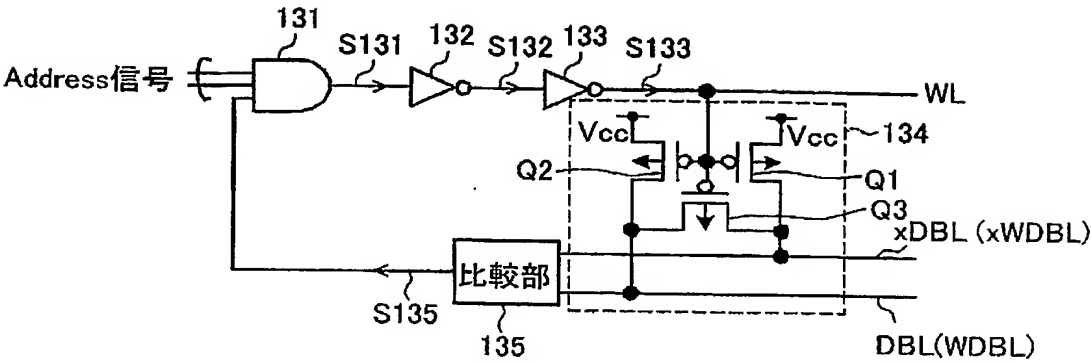


MC

【図 3】

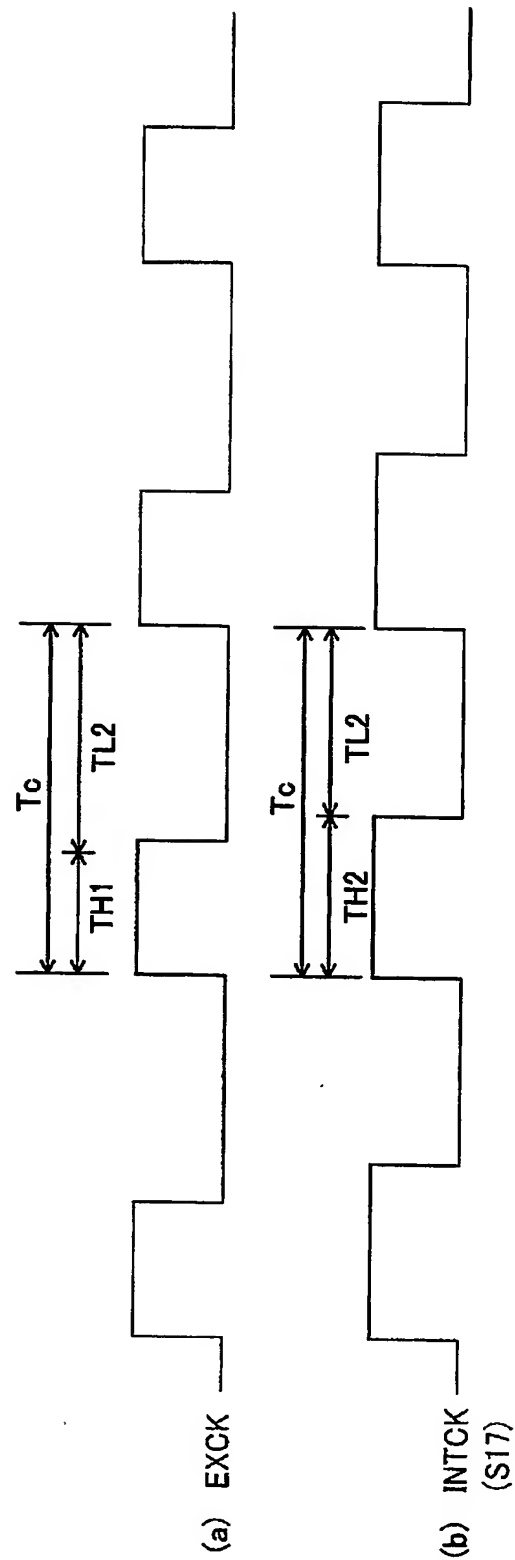


【図 4】

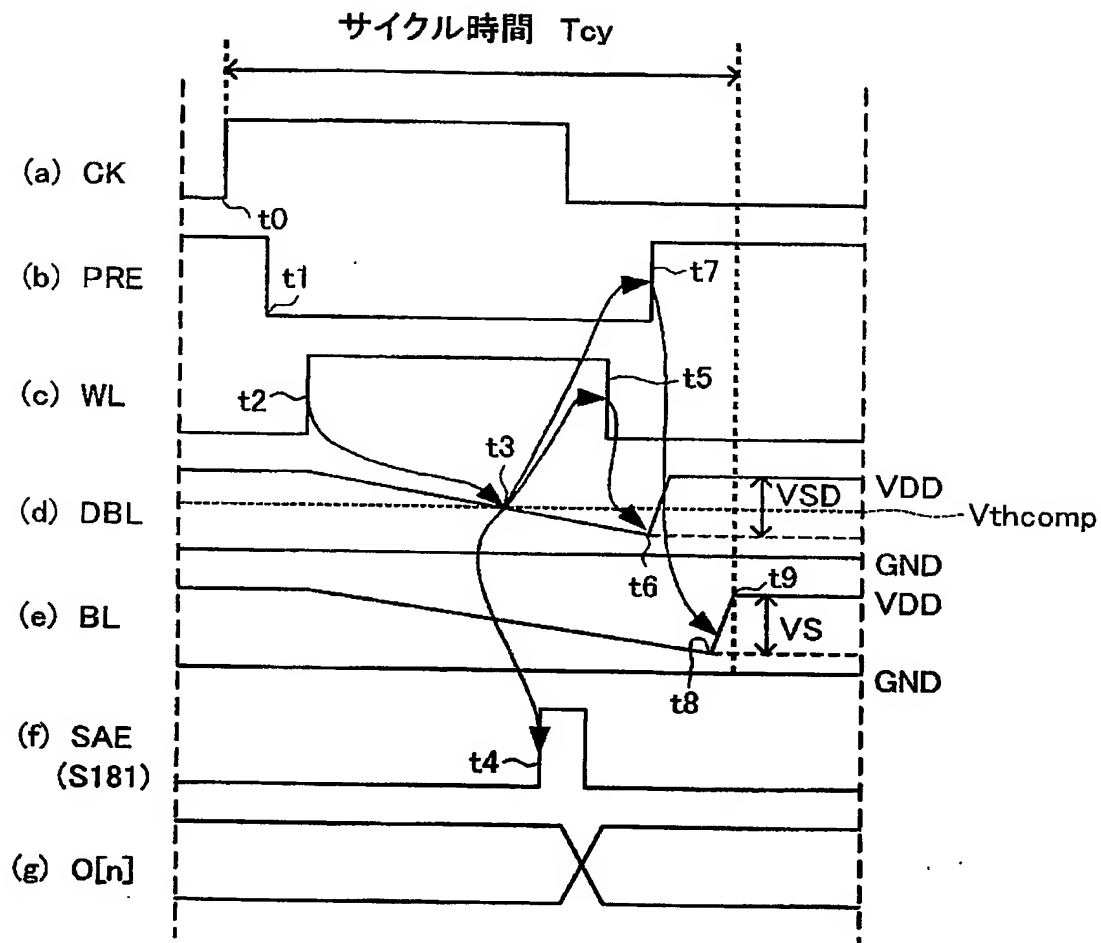


13

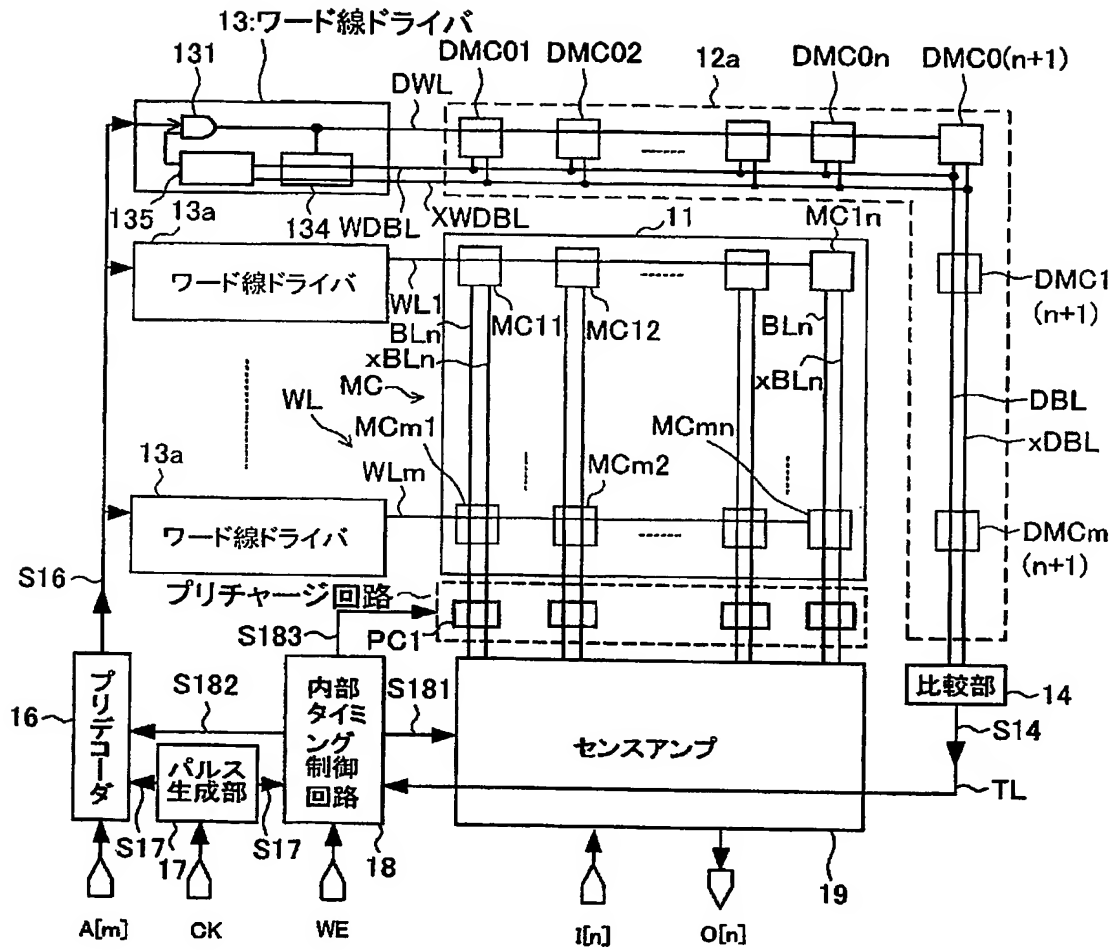
【図 5】



【図 6】

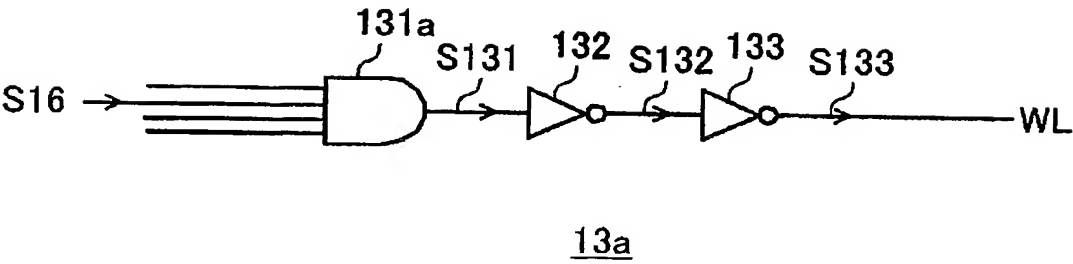


【図 7】

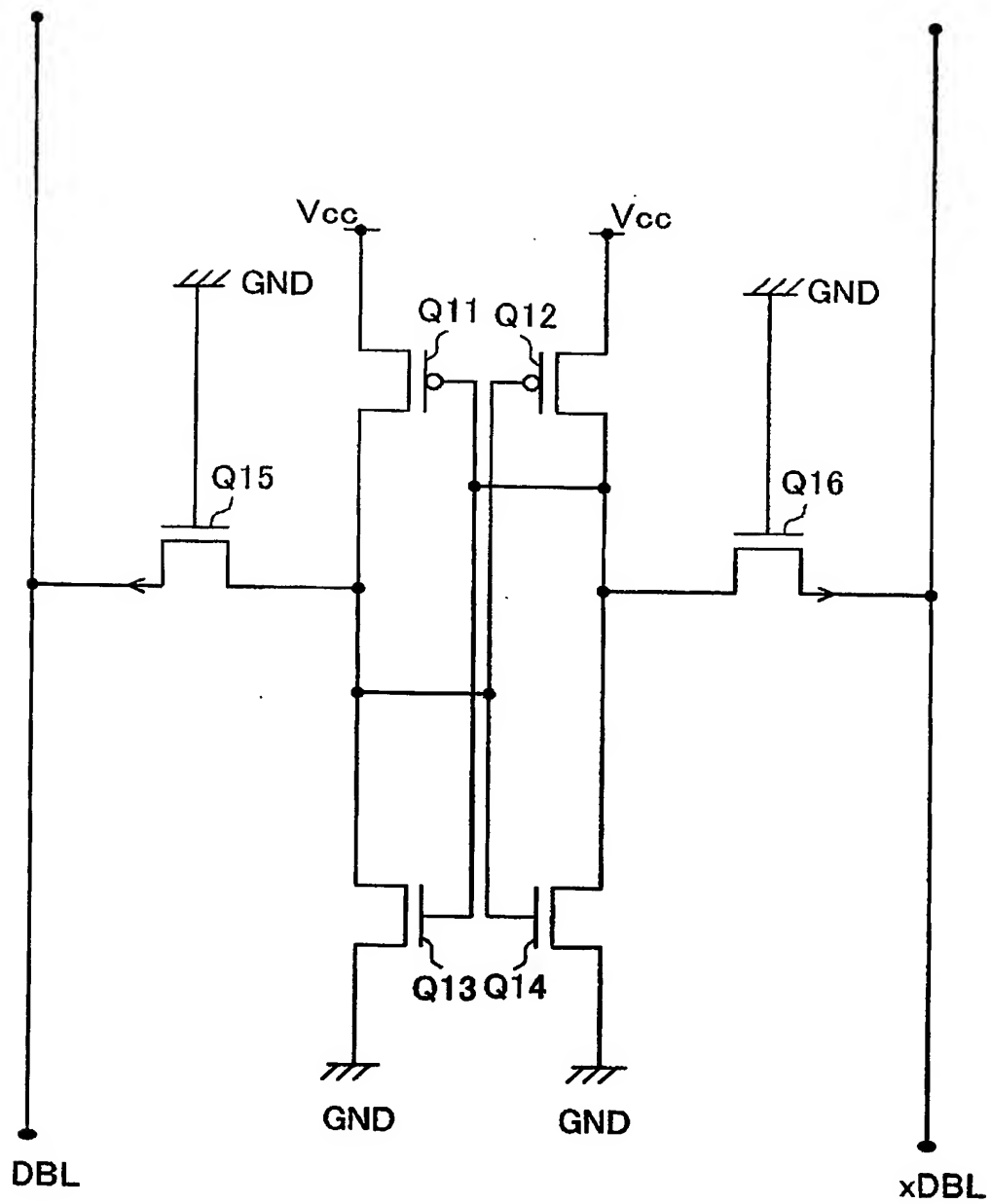


1a

【図 8】

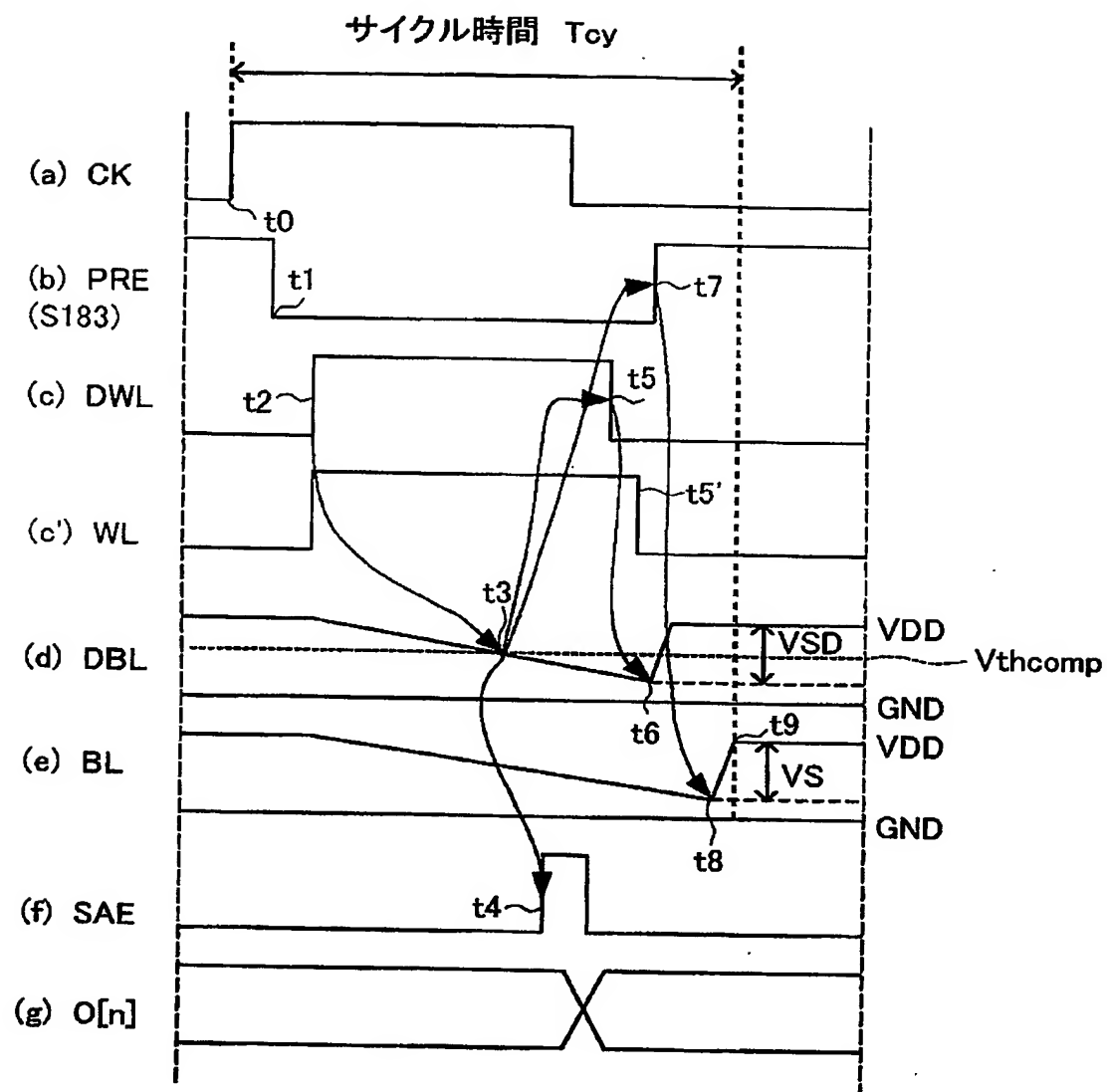


【図 9】

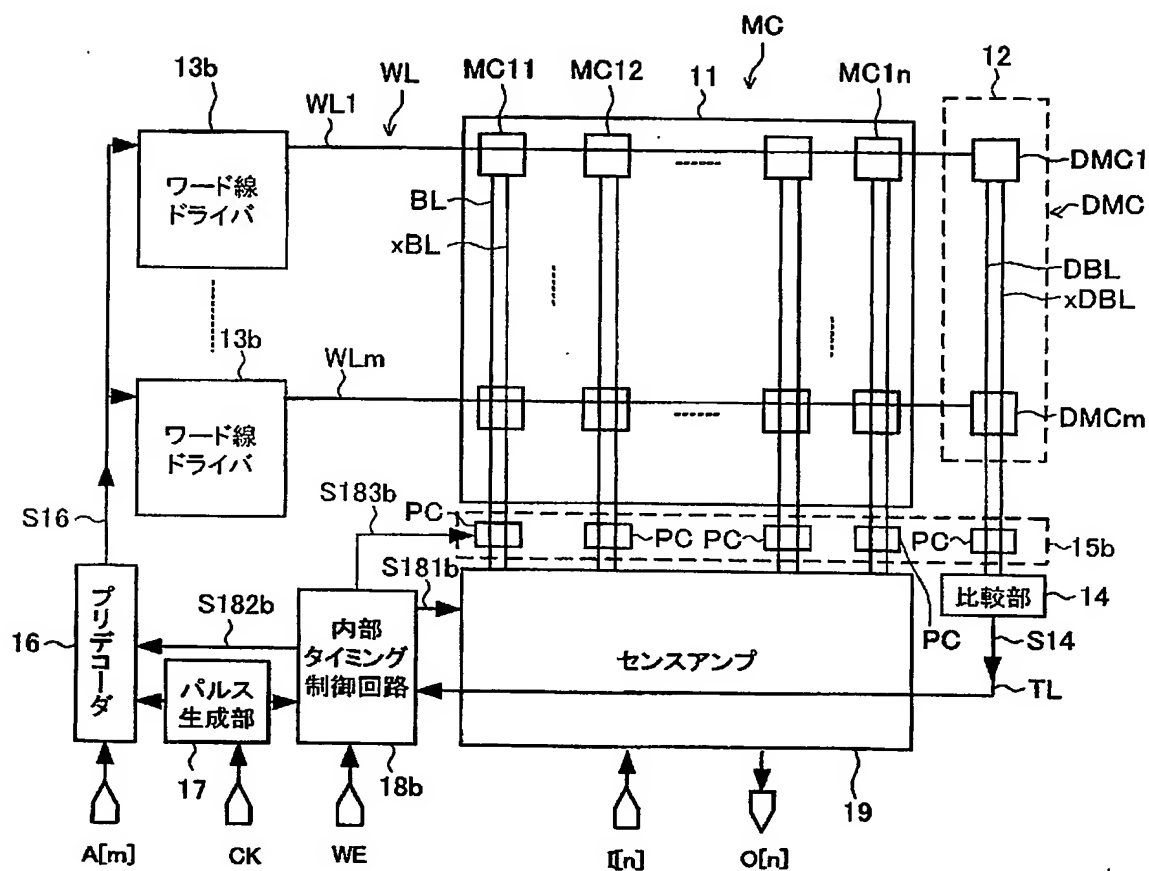


DMC1(n+1)~DMCm(n+1)

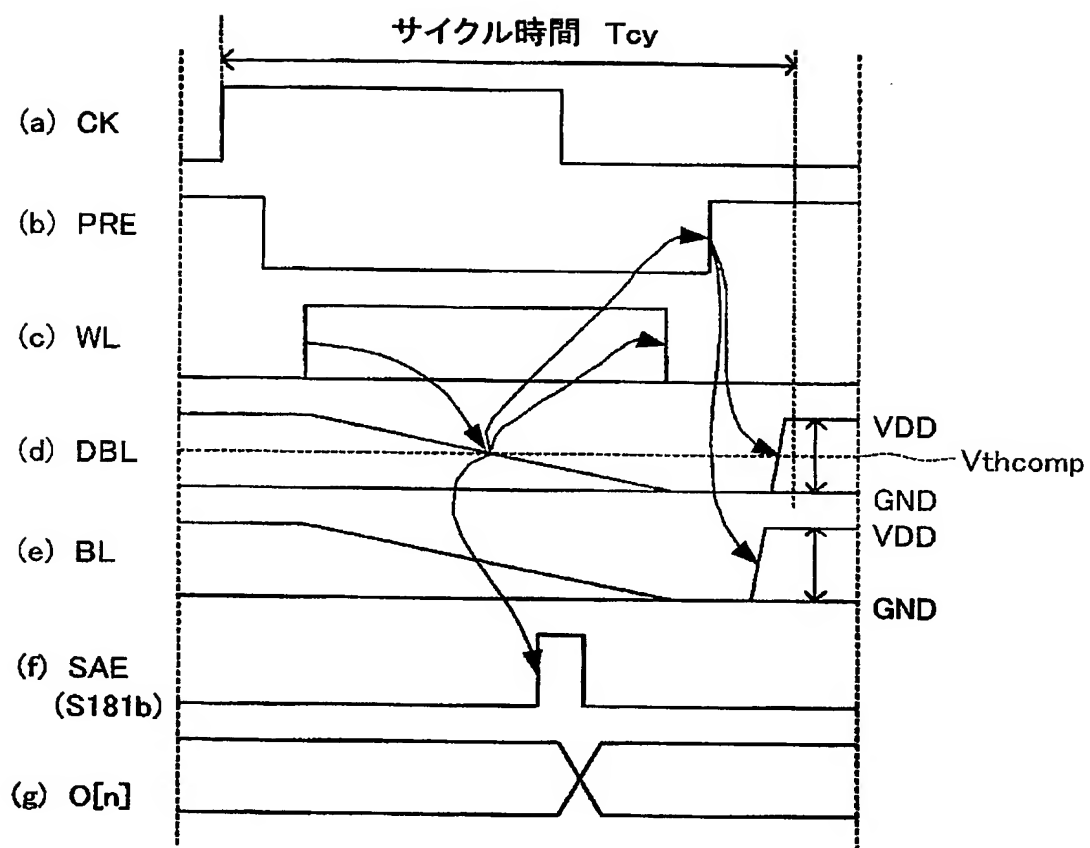
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 ダミーメモリセルによりタイミング信号を生成し、読み出しのサイクル時間をダミーメモリセルに接続されたダミービット線のプリチャージ時間に依存せずに短縮できる半導体記憶装置およびその読み出し方法を提供する。

【解決手段】 ワード線WLおよび一対のビット線BL, xBLに接続されたメモリセル11と、ワード線WLおよび一対のダミービット線DBL, xDBLに接続されたダミーメモリセル12と、ワード線WLを共通のタイミングで活性化させるワード線ドライバ13とを設け、メモリセル11からデータの読み出しを行う場合には、ダミーメモリ12に接続されたダミービット線DBL, xDBLのレベルに応じてデータの読み出しのタイミングを決定し、ワード線ドライバ13が一対のダミービット線DBL, xDBLの電位差が閾値になるとワード線WLを不活性化させてダミービット線DBL, xDBLのプリチャージを行う。

【選択図】 図1

特願 2 0 0 3 - 1 9 2 3 9 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ ~~FADED TEXT OR DRAWING~~
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.